

(11)特許出願公開番号

(43)公開日 平成11年(1999)9月24日

【特許請求の範囲】

【請求項 1】 主表面及び主表面と反対面である裏面を有し、炭化珪素よりなる第 1 導電型の半導体基板 (1) と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型のドレイン層 (2) と、

前記ドレイン層の表層部の所定領域に形成され、所定深さを有する第 2 導電型の半導体層 (3 a、3 b) と、

前記半導体層の表層部の所定領域に形成され、該半導体層の深さよりも浅い第 1 導電型のソース領域 (4 a、4 b) と、

前記半導体層の表面部及び前記ドレイン層の表面部に第 1 導電型の不純物をイオン注入することで、前記ソース領域と前記ドレイン層とを繋ぐように形成された、炭化珪素よりなる第 1 導電型の表面チャネル層 (5 a) と、前記表面チャネル層の表面に形成されたゲート絶縁膜 (7) と、

前記ゲート絶縁膜の上に形成されたゲート電極 (8) と、

前記半導体層及び前記ソース領域に接触するように形成されたソース電極 (10) と、

前記半導体基板の裏面に形成されたドレイン電極 (11) とを備え、

前記表面チャネル層内に介在している第 2 導電型不純物の濃度は、前記半導体層のうち前記表面チャネル層よりも下方に位置する領域に介在している第 2 導電型不純物の濃度よりも低くなっていることを特徴とする炭化珪素半導体装置。

【請求項 2】 炭化珪素からなる第 1 導電型の半導体層を有する半導体基板 (101) と、

前記半導体層の表層部に第 2 導電型の不純物をイオン注入することによって形成された第 2 導電型のチャネル層 (102) と、

前記チャネル層の両端に位置する第 2 導電型のコンタクト領域 (103、104) と、

前記チャネル層をチャネル領域として、少なくとも前記チャネル層上に形成されたゲート電極層 (106) とを備え、

前記チャネル層に介在している第 1 導電型不純物の濃度は、前記半導体層のうち前記チャネル層よりも下方に位置する領域に介在している第 1 導電型不純物の濃度よりも低くなっていることを特徴とする炭化珪素半導体装置。

【請求項 3】 炭化珪素からなる第 1 導電型の半導体層 (3 a、3 b、101) の表層部に、第 2 導電型の不純物をイオン注入することで導電型を反転させて、該第 2 導電型の不純物が注入された部分をチャネル領域 (5 a、102) としており、少なくとも前記チャネル領域上に形成されたゲート電極 (9、106) へ電圧を印加す

ることによって前記チャネル領域に流す電流のスイッチングを行う炭化珪素半導体装置において、

前記チャネル領域に介在している第 1 導電型不純物の濃度は、前記半導体層のうち前記チャネル領域よりも下方に位置する領域に介在している第 1 導電型不純物の濃度よりも低くなっていることを特徴とする炭化珪素半導体装置。

【請求項 4】 第 1 導電型の半導体基板 (1) の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型のドレイン層 (2) を形成する工程と、前記ドレイン層の表層部の所定領域に、所定深さを有する第 2 導電型の半導体層 (3 a、3 b) を形成する工程と、

前記半導体層の表層部に介在する第 2 導電型の不純物を該半導体層の外部に拡散させる外部拡散工程と、

前記半導体層の表層部の所定領域にイオン注入を行い、チャネル領域となる表面チャネル層 (5 a) を形成する工程と、

前記半導体層の表層部の所定領域に、前記表面チャネル層に接すると共に該半導体層の深さよりも浅い第 1 導電型のソース領域 (4 a、4 b) を形成する工程と、を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項 5】 炭化珪素からなる第 1 導電型の半導体層を含む半導体基板 (101) を用意し、前記半導体層の表層部に介在する第 1 導電型の不純物を該半導体層の外部へ拡散させる外部拡散工程と、

前記半導体層の表層部に、第 2 導電型の不純物をイオン注入して第 2 導電型のチャネル層 (102) を形成する工程と、

前記チャネル層の両側に、前記チャネル層よりも低抵抗の第 2 導電型のコンタクト領域 (103、104) を形成する工程と、

前記チャネル層をチャネル領域として、少なくとも前記チャネル層上にゲート電極層 (106) を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 6】 炭化珪素からなる第 1 導電型の半導体層 (3 a、3 b、101) の表層部に、第 2 導電型の不純物をイオン注入することで、導電型を反転させてチャネル領域 (5 a、102) を形成しており、少なくとも前記チャネル領域上に形成されたゲート電極 (9、106) へ電圧を印加することによって前記チャネル領域に流す電流のスイッチングを行う炭化珪素半導体装置の製造方法において、

前記半導体層の表層部に介在する第 1 導電型の不純物を該半導体層の外部へ拡散させる外部拡散工程を有し、前記イオン注入は、前記拡散工程後に行うことを特徴とする炭化珪素半導体装置の製造方法。

【請求項 7】 前記外部拡散工程は、前記半導体層上に拡散用膜 (30) を成膜し、この拡散用膜中に不純物を

拡散させる工程であることを特徴とする請求項 4 乃至 6 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 8】 前記拡散用膜として、酸化シリコン (30) を用いることを特徴とする請求項 7 に記載の炭化珪素半導体装置。

【請求項 9】 前記外部拡散工程は、減圧雰囲気下で熱処理を行い、この雰囲気中に不純物を拡散させる工程であることを特徴とする請求項 4 乃至 6 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 10】 炭化珪素からなる第 1 導電型の半導体層 (3a、3b、101) の表層部に、第 2 導電型の不純物をイオン注入することで、導電型を反転させてチャネル領域 (5a、102) を形成しており、少なくとも前記チャネル領域上に形成されたゲート電極 (9、106) へ電圧を印加することによって前記チャネル領域に流す電流のスイッチングを行う炭化珪素半導体装置を製造するのに用いられる炭化珪素半導体基板であって、表面に前記半導体層が位置していると共に、該半導体層の表層部における第 1 導電型の不純物が半導体層の外部に拡散されており、前記表層部に介在する第 1 導電型不純物の濃度が、半導体層のうち前記表層部よりも内側に介在する第 1 導電型不純物の濃度よりも低くなっている炭化珪素半導体基板。

【請求項 11】 前記表面からの深さに対して、前記不純物の濃度が線形な関係を成して低濃度になっていることを特徴とする請求項 10 に記載の炭化珪素半導体基板。

【請求項 12】 前記不純物濃度が低濃度となっている前記表面側には、前記不純物とは異なる導電型の不純物がドーピングされて、PN 接合が形成されていることを特徴とする請求項 10 又は請求項 11 に記載の炭化珪素半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワー MOSFET に関するものである。

【0002】

【従来の技術】本出願人は、プレーナ型 MOSFET において、チャネル移動度を向上させてオン抵抗を低減させたものを、特願平 10-6027 号で出願している。このプレーナ型 MOSFET の断面図を図 9 に示し、この図に基づいてプレーナ型 MOSFET の構造について説明する。

【0003】 n^+ 型炭化珪素半導体基板 1 は上面を主表面 1a とし、主表面 1a の反対面である下面を裏面 1b としている。この n^+ 型炭化珪素半導体基板 1 の主表面 1a 上には、基板 1 よりも低いドーパント濃度を有する n^+ 型炭化珪素エピタキシャル層 (以下、 n^+ 型炭化珪

素エピ層という) 2 が積層されている。このとき、 n^+ 型炭化珪素半導体基板 1 および n^+ 型炭化珪素エピ層 2 の上面を (0001) Si 面としているが、 n^+ 型炭化珪素半導体基板 1 および n^+ 型炭化珪素エピ層 2 の上面を (112-0) a 面としてもよい。つまり、(0001) Si 面を用いると低い表面状態密度が得られ、(112-0) a 面を用いると、低い表面状態密度で、かつ、完全にらせん転位の無い結晶が得られる。

【0004】 n^+ 型炭化珪素エピ層 2 の表層部における所定領域には、所定深さを有する p^+ 型炭化珪素ベース領域 3a および p^+ 型炭化珪素ベース領域 3b が離間して形成されている。また、ベース領域 3a、3b には、一部厚さが厚くなったディープベース層 30a、30b が形成されている。このディープベース層 30a、30b は、 n^+ 型ソース領域に重ならない部分に形成されている。このディープベース層 30a、30b の部分でアバランシェブレークダウンさせることによって、素子の耐圧が向上するようになっている。

【0005】また、 p^+ 型炭化珪素ベース領域 3a の表層部における所定領域には、ベース領域 3a よりも浅い n^+ 型ソース領域 4a が、また、 p^+ 型炭化珪素ベース領域 3b の表層部における所定領域には、ベース領域 3b よりも浅い n^+ 型ソース領域 4b がそれぞれ形成されている。さらに、 n^+ 型ソース領域 4a と n^+ 型ソース領域 4b との間における n^+ 型炭化珪素エピ層 2 および p^+ 型炭化珪素ベース領域 3a、3b の表面部には n^+ 型 SiC 層 5 が延設されている。つまり、 p^+ 型炭化珪素ベース領域 3a、3b の表面部においてソース領域 4a、4b と n^+ 型炭化珪素エピ層 2 とを繋ぐように n^+ 型 SiC 層 5 が配置されている。この n^+ 型 SiC 層 5 は、 p^+ 型炭化珪素ベース領域 3a、3b の表層部の所定領域及び n^+ 型炭化珪素エピ層 2 の表層部の所定領域に n^+ 型不純物をイオン注入することによって形成されたものである。 n^+ 型 SiC 層 5 は、 p^+ 型炭化珪素ベース領域 3a、3b の表層部においてはキャリア濃度が低い n^+ 型領域 5a で構成されており、 n^+ 型炭化珪素エピ層 2 の表層部においてはキャリア濃度が高い n^+ 型領域 5b で構成されている。これらのうち、キャリア濃度の低い n^+ 型領域 5a がチャネル領域として働くようになっている。以下、 n^+ 型領域 5a を表面チャネル層という。

【0006】表面チャネル層 5a の上面および n^+ 型ソース領域 4a、4b の上面にはゲート絶縁膜 (シリコン酸化膜) 7 が形成されている。さらに、ゲート絶縁膜 7 の上にはポリシリコンゲート電極 8 が形成されている。ポリシリコンゲート電極 8 は絶縁膜 9 にて覆われている。絶縁膜 9 として LTO (Low Temperature Oxide) 膜が用いられている。その上にはソース電極 10 が形成され、ソース電極 10 は n^+ 型ソース領域 4a、4b および p^+ 型炭化珪素ベース領域 3

a、3bと接している。また、 n^+ 型炭化珪素半導体基板1の裏面1bには、ドレイン電極層11が形成されている。

【0007】次に、このパワープレーナ型MOSFETの作用（動作）を説明する。上記MOSFETは蓄積モードで動作する。表面チャネル層5aにおいて、キャリアは p^+ 型炭化珪素ベース領域3a、3bと表面チャネル層5aとの間の静電ポテンシャルの差、及び表面チャネル層5aとポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって空乏化される。このため、ポリシリコンゲート電極8に印加する電圧を調整することにより、表面チャネル層5aとポリシリコンゲート電極8との間の仕事関数の差と、外部からの印加電圧により生じる電位差を変化させ、チャネルの状態を制御することでMOSFETのオン、オフを制御する。

【0008】具体的には、オフ状態において、空乏領域は、 p^+ 型炭化珪素ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネル層5a内に形成されているため、ポリシリコンゲート電極8に対して正のバイアスを供給することによって、ゲート絶縁膜（ SiO_2 ）7と表面チャネル層5aとの間の界面において n^+ 型ソース領域4a、4bから n^+ 型ドリフト領域2方向へ延びるチャネル領域を形成し、オン状態にスイッチングさせる。

【0009】このとき、電子は、 n^+ 型ソース領域4a、4bから表面チャネル層5aを経由し表面チャネル層5aからJFET部を含む n^+ 型炭化珪素エピ層2に流れる。そして、 n^+ 型炭化珪素エピ層（ドリフト領域）2に達すると、電子は、 n^+ 型炭化珪素半導体基板（ n^+ ドレイン）1へ垂直に流れる。このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5aに蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間に電流を流す。

【0010】このように、プレーナ型MOSFETにおいて、動作モードをチャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードとすることで、導電型を反転させる反転モードのMOSFETに比べ、チャネル移動度を大きくしてオン抵抗を低減させるようにしている。

【0011】

【発明が解決しようとする課題】上記従来におけるMOSFETでは、 p^+ 型炭化珪素ベース領域3a、3bに n 型不純物をイオン注入して、 p^+ 型炭化珪素ベース領域3a、3bの中の p 型不純物を同量の n 型不純物で補償し（但し、活性化率が低い場合には、ドーピング量が増加する）、さらに所望のキャリア濃度になるまで n 型不純物をイオン注入を続けることで表面チャネル層5aを形成している。このため、表面チャネル層5aは、キャリアとなる n 型不純物以外の中性不純物が大量に含まれたものとなる。

【0012】このように、チャネル領域として働く表面チャネル層5aに中性不純物が大量に含まれているために、キャリア移動度が低下してしまうという問題が発生することが判った。また、 p 型不純物の量が多い程、 p 型不純物を補償するために必要とされる n 型不純物のイオン注入量も多くなる。このため、イオン注入による欠陥が増え、リークが発生してしまう可能性があり、耐圧が低下するという問題もある。

【0013】これらの問題は、図9に示すプレーナ型MOSFETに限らず、導電型が異なる不純物を含んだ半導体中にイオン注入することで、導電型を反転させてチャネル領域を形成する半導体装置全てにおいて同様のことが言える。本発明は上記点に鑑みて成され、イオン注入によってチャネル領域を構成する場合においても良好なキャリア移動度を有し、かつイオン注入による欠陥からのリークを防止できる炭化珪素半導体装置及びその製造方法を提供することを第2の目的とする。

【0014】また、イオン注入によってチャネル領域を構成する場合において、チャネル領域内の中性不純物を少なくするのに適した半導体基板を提供することを第2の目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1に記載の発明においては、第2導電型の半導体層（3a、3b）の表面部に第1導電型の不純物をイオン注入することで、ソース領域（4a、4b）とドレイン層（2）とを繋ぐように形成された表面チャネル層（5）を有し、表面チャネル層内に介在している第2導電型不純物の濃度が、半導体層（3a、3b）のうち表面チャネル層よりも下方に位置する領域に介在している第2導電型の不純物の濃度よりも低くなっていることを特徴としている。

【0016】このように、表面チャネル層に介在している第2導電型不純物の濃度が、半導体層のうち表面チャネル層よりも下方に位置する領域に介在している第2導電型不純物の濃度よりも低くなっていれば、つまり半導体層のうち表面チャネル層を形成している部分における第2導電型不純物の濃度が半導体層の他の部分よりも低くなっていれば、イオン注入によって形成される中性不純物を少なくすることができる。また、イオン注入された量が少なくなっているため、表面チャネル層の結晶欠陥が少なくなっている。これにより、イオン注入によって表面チャネル層を形成する場合においても、キャリア移動度を向上させることができる。

【0017】請求項2に記載の発明においては、半導体層の表層部に第2導電型の不純物をイオン注入することによって形成された第2導電型のチャネル層を有し、チャネル層に介在している第1導電型不純物の濃度が、半導体層のうちチャネル層よりも下方に位置する領域に介在している第1導電型不純物の濃度よりも低くなってい

ることを特徴としている。これにより、請求項 1 と同様の効果が得られる。

【0018】請求項 3 に記載の発明においては、炭化珪素からなる第 1 導電型の半導体層の表層部に、第 2 導電型の不純物をイオン注入して導電型を反転させて、該第 2 導電型の不純物が注入された部分をチャネル領域としている炭化珪素半導体装置において、チャネル領域に介在している第 1 導電型不純物の濃度が、半導体層のうちチャネル領域よりも下方に位置する部分に介在している第 1 導電型不純物の濃度よりも低くなっていることを特徴としている。これにより、請求項 1 と同様の効果が得られる。

【0019】請求項 4 に記載の発明においては、半導体層 (3 a、3 b) の表層部に介在する第 2 導電型の不純物を半導体層の外部に拡散させる外部拡散工程と、半導体層の表層部にイオン注入を行い、チャネル領域となる表面チャネル層 (5) を形成する工程と、半導体層の表層部の所定領域に、表面チャネル層に接すると共に半導体層の深さよりも浅い第 1 導電型のソース領域 (4 a、4 b) を形成する工程と、を含むことを特徴としている。

【0020】このように、半導体層の表層部に介在する第 2 導電型の不純物を半導体層の外部に拡散させた後、イオン注入を行って表面チャネル層を形成することにより、補償される第 2 導電型の不純物を少なくともなくした後に表面チャネル層を形成することができるため、表面チャネル層内の中性不純物を少なくできると共に、イオン注入の量を少なくできる。このため、表面チャネル層のキャリア移動度を向上させることができると共に、表面チャネル層の結晶欠陥を少なくすることができる。

【0021】また、請求項 5 に記載の発明においても、半導体層の表層部に介在する第 1 導電型の不純物を該半導体層の外部へ拡散させる外部拡散工程と、半導体層の表層部にイオン注入を行い、第 2 導電型のチャネル層を形成する工程と、を含んでおり、請求項 4 と同様の効果が得られる。請求項 6 に記載の発明においては、半導体層の表層部に介在する第 1 導電型の不純物を該半導体層の外部へ拡散させる外部拡散工程を有し、チャネル領域を形成するためのイオン注入は、前記拡散工程後に行うことを特徴としている。

【0022】このように、チャネル領域を形成するためのイオン注入工程を外部拡散工程の後に行うようにすることにより、請求項 4 と同様の効果が得られる。請求項 7 に示すように、外部拡散工程は、半導体層上に拡散用膜を成膜し、この拡散用膜中に不純物を拡散させることで行うことができる。具体的には、請求項 8 に示すように、拡散用膜として酸化シリコンを用いることができる。

【0023】また、請求項 9 に示すように、外部拡散工程は、減圧雰囲気下で熱処理を行い、この雰囲気中に不

純物を拡散させることで行うことができる。請求項 10 に記載の発明においては、第 1 導電型の半導体層を有し、該半導体層の表層部における第 1 導電型の不純物が半導体層の外部に拡散されており、表面部に介在する第 1 導電型不純物の濃度が、半導体層のうち前記表層部よりも内側に介在する第 1 導電型不純物の濃度よりも低くなっていることを特徴としている。

【0024】このように、半導体層の表層部における第 1 導電型不純物の濃度が、その内部における濃度よりも小さくなっている炭化珪素半導体基板を利用し、濃度が小さくなっている半導体層の表層部の部分をチャネル領域することにより、チャネル領域のキャリア移動度を良好にできると共に、イオン注入による結晶欠陥を少なくすることができる。

【0025】請求項 11 に記載の発明においては、半導体層の表面からの深さに対して、第 1 導電型不純物の濃度が線形な関係を成して低濃度になっていることを特徴としている。このように、半導体層の表面からの深さと、第 1 導電型不純物の濃度とが線形な関係となるようにすることにより、チャネル移動度を高くすることができる。このような関係にするには、半導体層の表面に外部拡散用の膜 (例えば酸化シリコンや窒化シリコン) を成膜したのち、高温かつ長時間の熱処理を行えばよい。

【0026】なお、上記関係を誤差関数に従った関係にするには、低温かつ短時間の熱処理で外部拡散を行えばよく、対数関数に従った関係にするには、高温又は長時間の熱処理で外部拡散を行えばよい。

【0027】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図 1 に、本実施の形態におけるノーマリオフ型の n チャネルタイププレーナ型 MOSFET (縦型パワー MOSFET) の断面図を示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適なものである。

【0028】図 1 に基づいて縦型パワー MOSFET の構造について説明する。但し、本実施形態における縦型パワー MOSFET は、上述した図 9 に示す MOSFET とほぼ同様の構造を有しているため、異なる部分についてのみ説明する。なお、本実施形態における縦型パワー MOSFET のうち、図 9 に示す MOSFET と同様の部分については同様の符号を付してある。

【0029】図 9 に示す MOSFET においては、大量の中性不純物が含まれた表面チャネル層 5 a でチャネル領域が構成されているが、本実施形態における縦型パワー MOSFET では、それに比して中性不純物が少ない表面チャネル層 5 a でチャネル領域が構成されている。このように、表面チャネル層 5 a の内部の中性不純物を少なくしているため、表面チャネル層 5 a におけるキャリア移動度を向上させることができる。

【0030】このように構成された図 1 に示す縦型パワ

—MOSFETの製造工程を、図2～図4を用いて説明する。

〔図2 (a) に示す工程〕まず、n型4Hまたは6Hまたは3C-SiC基板、すなわちn⁺型炭化珪素半導体基板1を用意する。このn⁺型炭化珪素半導体基板1は、 $1 \times 10^{18} \text{ cm}^{-3}$ という高濃度でn型不純物がドーピングされている。このような高濃度にする事で、p⁺型炭化珪素ベース領域3a、3bのパンチスルー防止を図ると共に、表面チャネル層5aの空乏化が容易に行えるようにしている。ここで、n⁺型炭化珪素半導体基板1はその厚さが400 μm であり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ5 μm のn⁺型炭化珪素エピ層2をエピタキシャル成長する。本例では、n⁺型炭化珪素エピ層2は下地の基板1と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0031】〔図2 (b) に示す工程〕n⁺型炭化珪素エピ層2の上の所定領域にLTO膜20を配置し、これをマスクとしてB⁺ (若しくはアルミニウム) をイオン注入して、p⁺型炭化珪素ベース領域3a、3bを形成する。このときのイオン注入条件は、p⁺型炭化珪素ベース領域3a、3bのp型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ となるように、温度が700℃で、ドーズ量が $1 \times 10^{18} \text{ cm}^{-2}$ としている。

【0032】〔図2 (c) に示す工程〕LTO膜20を除去した後、加熱処理を行いp⁺型炭化珪素ベース領域3a、3b上を含むn⁺型炭化珪素エピ層2上に酸化シリコン(SiO₂)膜30を形成する。そして、さらに外部拡散のための加熱処理(以下、外部拡散工程という)を行う。具体的には、1300℃で、0.5時間の加熱処理を行う。

【0033】このとき、p⁺型炭化珪素ベース領域3a、3b上に酸化シリコン膜30を形成し、拡散抵抗を比較的小さくしているため、この加熱処理によってp⁺型炭化珪素ベース領域3a、3bの表層部に介在する不純物が酸化シリコン膜30中に外部拡散される。この外部拡散工程について、p型半導体基板51に酸化シリコン52を成膜した場合を例に挙げて説明する。図5

(a)～(c)にp型半導体基板51に酸化シリコン52を成膜した場合の外部拡散工程を示す。なお、図5

(a)～(c)には、図2 (c) に示される外部拡散工程のみでなく、さらに、後述する図3 (a) に示されるチャネル領域を形成するためのn型不純物をイオン注入する工程を加えてあり、このイオン注入工程を含めたもので説明を行う。具体的には、図5 (a) は外部拡散工程中の様子を示しており、図5 (b) は外部拡散工程後の様子を示しており、図5 (c) は外部拡散工程後のイオン注入工程の様子を示している。

【0034】図5 (a) に示されるように、外部拡散工程以前には、p型半導体基板51の表面から内部に至る

までボロン等のp型不純物53がほぼ均等に介在している。そして、外部拡散工程を施すことにより、図中の矢印で示されるように、p型半導体基板51の表面側に介在するp型不純物53が酸化シリコン膜52に外部拡散していく。

【0035】そして、図5 (b) に示されるように、外部拡散工程後には、p型半導体基板51の表面側のp型不純物53が低減しており、p型半導体基板51の表面側に介在していたp型不純物53が酸化シリコン膜52中に移動した状態となる。その後、フッ酸を含んだ水溶液をエッチング液として酸化シリコン52を除去し、n型不純物54をイオン注入すると、図5 (c) に示されるように、p型半導体基板51の表面にn型半導体の層55が形成される。

【0036】このように外部拡散工程を行った場合において、n型半導体の層55が形成されたp型半導体基板51中の不純物濃度を調べた結果を図6 (a) に示す。また、参考として外部拡散工程を施していない場合において、n型半導体55'の層が形成されたp型半導体基板51'の中の不純物濃度を調べた結果を図6 (b) に示す。なお、図6 (a)、(b) は縦軸が深さ、横軸が不純物濃度で表わされており、縦軸の深さは図中の紙面左側に表されるp型半導体基板51、51'の表面からの深さに対応している。

【0037】図6 (a) に示されるように、外部拡散工程を施した場合には、n型半導体の層55の中のp型不純物濃度が小さく、n型不純物を加えても、p型不純物濃度とn型不純物濃度を加算した全不純物濃度が小さくなっていることが判る。一方、図6 (b) に示されるように、外部拡散工程を施していない場合には、n型半導体の層55'の表面側のp型不純物濃度が小さくないため、n型不純物を加えた場合には、p型不純物濃度とn型不純物濃度を加算した全不純物濃度が非常に大きくなっていることが判る。

【0038】これらの結果からも判るように、上記外部拡散工程によってp型炭化珪素ベース領域3a、3bの表層部に介在するp型不純物の量を少なくすることで、n型不純物のイオン注入によってできる中性不純物の量を少なくすることができる。また、p型不純物を補償するために必要とされるn型不純物のイオン注入量が少なくて済むため、イオン注入による結晶欠陥を少なくすることができる。

【0039】〔図3 (a) に示す工程〕酸化シリコン膜30を除去した後、上述したようにn型不純物をイオン注入する。具体的には、基板1の上面からN⁺をイオン注入して、p⁺型炭化珪素ベース領域3a、3bの表面部(表層部)に表面チャネル層5aを形成すると共に、n⁺型炭化珪素エピ層2の表層部にn⁺型層5bを0.3 μm 程度の厚さで形成する。このときのイオン注入条件は、温度が700℃、ドーズ量が $1 \times 10^{13} \sim 1 \times 1$

0.14 cm^{-2} としている。

【0040】このとき、上述したように、 p^+ 型炭化珪素ベース領域3a、3bの表面部（表層部）は、外部拡散工程によって p 型不純物が少なくされているため、表面チャネル層5aは中性不純物が少ないもので形成される。このため、表面チャネル層5aのキャリア移動度を向上させることができる。さらに、 p^+ 型炭化珪素ベース領域3a、3b内の p 型不純物を補償するために必要とされる n 型不純物のイオン注入量を少なくできるため、イオン注入による結晶欠陥を少なくすることができる。このため、結晶欠陥に基づくリーク電流の発生を防

$$T_{epi} = \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{N_D + N_A}{N_D N_A} \cdot V_{built}} + \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{1}{N_D} \left(\phi_{ms} - \frac{Q_s + Q_{fc} + Q_i + Q_{ss}}{C_{oxide}} \right)}$$

【0043】但し、 T_{epi} は n^+ 型層に広がる空乏層の高さである。この数式1に示される右辺第1項は表面チャネル層5aと p^+ 型炭化珪素ベース領域3a、3bとのPN接合のビルトイン電圧 V_{built} による空乏層の伸び量、すなわち p^+ 型炭化珪素ベース領域3a、3bから表面チャネル層5aに広がる空乏層の伸び量であり、第2項はゲート絶縁膜7の電荷と ϕ_{ms} による空乏層の伸び量、すなわちゲート絶縁膜7から表面チャネル層5aに広がる空乏層の伸び量である。従って、 p^+ 型炭化珪素ベース領域3a、3bから広がる空乏層の伸び量と、ゲート絶縁膜7から広がる空乏層の伸び量との和が表面チャネル層5aの厚み以上となるようにすれば縦型パワーMOSFETをノーマリオフ型にすることができるため、この条件を満たすようなイオン注入条件で表面チャネル層5aを形成している。

【0044】このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものに比べて安全性を確保することができる。また、図1に示すように、 p^+ 型炭化珪素ベース領域3a、3bは、ソース電極10と接触していて接地状態となっている。このため、表面チャネル層5aと p^+ 型炭化珪素ベース領域3a、3bとのPN接合のビルトイン電圧 V_{built} を利用して表面チャネル層5aをピンチオフすることができる。例えば、 p^+ 型炭化珪素ベース領域3a、3bが接地されてなくてフローティング状態となっている場合には、ビルトイン電圧 V_{built} を利用して p^+ 型炭化珪素ベース領域3a、3bから空乏層を延ばすということができないため、 p^+ 型炭化珪素ベース領域3a、3bをソース電極10と接触させることは、表面チャネル層5aをピンチオフするのに有効な構造であるといえる。なお、本実施形態では、不純物濃度が低いもので p^+ 型炭化珪素ベース領域3a、3bを形成しているが、不純物

止することができる。

【0041】また、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5aの厚み（膜厚）は以下の数式に基づいて決定している。縦型パワーMOSFETをノーマリオフ型とするためには、ゲート電圧を印加していない状態の際に、 n^+ 型層に広がる空乏層が電気伝導を妨げるように十分なバリア高さを有している必要がある。この条件は次式にて示される。

【0042】

【数1】

濃度を高くすることによりビルトイン電圧 V_{built} をより大きく利用することができる。

【0045】また、本実施形態では炭化珪素によって縦型パワーMOSFETを製造しているが、これをシリコンを用いて製造しようとする、 p^+ 型炭化珪素ベース領域3a、3bや表面チャネル層5a等の不純物層を形成する際における熱拡散の拡散量の制御が困難であるため、上記構成と同様のノーマリオフ型のMOSFETを製造することが困難となる。このため、本実施形態のようにSiCを用いることにより、シリコンを用いた場合と比べて精度良く縦型パワーMOSFETを製造することができる。

【0046】また、ノーマリオフ型の縦型パワーMOSFETにするためには、上記数式1の条件を満たすように表面チャネル層5aの厚みを設定する必要があるが、シリコンを用いた場合には V_{built} が低い、表面チャネル層5aの厚みを薄くしたり不純物濃度を薄くして形成しなければならず、不純物イオンの拡散量の制御が困難なことを考慮すると、非常に製造が困難であるといえる。しかしながら、SiCを用いた場合には V_{built} がシリコンの約3倍と高く、 n^+ 型層の厚みを厚くしたり不純物濃度を濃くして形成できるため、ノーマリオフ型の蓄積型MOSFETを製造することが容易であるといえる。

【0047】〔図3（b）に示す工程〕表面チャネル層5aの上の所定領域にLTO膜21を配置し、これをマスクとして N^+ をイオン注入し、 n^+ 型ソース領域4a、4bを形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ としている。

【0048】〔図3（c）に示す工程〕そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5aの上の所定領域にLTO膜22を配置し、これをマスクとしてRIEにより p^+ 型炭化珪素ベース

10

30

40

50

領域 3 a、3 b 上の表面チャネル層 5 a を部分的にエッチング除去する。

【0049】〔図 4 (a) に示す工程〕さらに、LTO 膜 22 をマスクにして B⁺ をイオン注入し、ディープベース層 30 a、30 b を形成する。これにより、ベース領域 3 a、3 b の一部が厚くなったものとなる。このディープベース層 30 a、30 b は、n⁺ 型ソース領域 4 a、4 b に重ならない部分に形成されると共に、p⁺ 型炭化珪素ベース領域 3 a、3 b のうちディープベース層 30 a、30 b が形成された厚みが厚くなった部分が、

【0050】〔図 4 (b) に示す工程〕LTO 膜 22 を除去した後、基板の上にウェット酸化によりゲート絶縁膜 (ゲート酸化膜) 7 を形成する。このとき、雰囲気温度は 1080℃ とする。その後、ゲート絶縁膜 7 の上にポリシリコンゲート電極 8 を LPCVD により堆積する。このときの成膜温度は 600℃ とする。

【0051】〔図 4 (c) に示す工程〕引き続き、ゲート絶縁膜 7 の不要部分を除去した後、LTO よりなる絶縁膜 9 を形成しゲート絶縁膜 7 を覆う。より詳しくは、成膜温度は 425℃ であり、成膜後に 1000℃ のアニールを行う。なお、この後、室温での金属スパッタリングによりソース電極 10 及びドレイン電極 11 を配置する。また、成膜後に 1000℃ のアニールを行うと、図 1 に示す縦型パワー MOSFET が完成する。

【0052】次に、この縦型パワー MOSFET の作用 (動作) を説明する。本 MOSFET はノーマリオフ型の蓄積モードで動作するものであって、ポリシリコンゲート電極に電圧を印加しない場合は、表面チャネル層 5 a においてキャリアは、p⁺ 型炭化珪素ベース領域 3 a、3 b と表面チャネル層 5 a との間の静電ポテンシャルの差、及び表面チャネル層 5 a とポリシリコンゲート電極 8 との間の仕事関数の差により生じた電位によって全域空乏化される。ポリシリコンゲート電極 8 に電圧を印加することにより、表面チャネル層 5 a とポリシリコンゲート電極 8 との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0053】つまり、ポリシリコンゲート電極 8 の仕事関数を第 1 の仕事関数とし、p⁺ 型炭化珪素ベース領域 3 a、3 b の仕事関数を第 2 の仕事関数とし、表面チャネル層 5 a の仕事関数を第 3 の仕事関数としたとき、第 1 ~ 第 3 の仕事関数の差を利用して、表面チャネル層 5 a の n 型のキャリアを空乏化する様に第 1 ~ 第 3 の仕事関数と表面チャネル層 5 a の不純物濃度及び膜厚を設定することができる。

【0054】また、オフ状態において、空乏領域は、p⁺ 型炭化珪素ベース領域 3 a、3 b 及びポリシリコンゲート電極 8 により作られた電界によって、表面チャネル

層 5 a 内に形成される。この状態からポリシリコンゲート電極 8 に対して正のバイアスを供給すると、ゲート絶縁膜 (SiO₂) 7 と表面チャネル層 5 a との間の界面において n⁺ 型ソース領域 4 a、4 b から n⁺ 型ドリフト領域 2 方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、n⁺ 型ソース領域 4 a、4 b から表面チャネル層 5 a を経由し表面チャネル層 5 a から n⁺ 型炭化珪素エピ層 2 に流れる。そして、n⁺ 型炭化珪素エピ層 2 (ドリフト領域) に達すると、電子は、n⁺ 型炭化珪素半導体基板 1 (n⁺ ドレイン) へ垂直に流れるようになっている。

【0055】このとき、表面チャネル層 5 a が中性不純物が少ないもので形成されているため、チャネル移動度を向上させることができ、また表面チャネル層 5 a を形成するためのイオン注入の量が少なくなっているため、イオン注入による結晶欠陥を少なくすることができ、結晶欠陥に基づくリークを防止することができる。

(第 2 実施形態) 上記第 1 実施形態では、電流が縦方向 (基板の厚み方向) に流れる縦型パワー MOSFET に本発明の一実施形態を適用した場合について説明したが、本実施形態では電流が基板の横方向 (基板の表面に平行な方向) に流れる MOSFET に本発明の一実施形態を適用した場合について説明する。

【0056】図 7 に、本実施形態における MOSFET を示す。この図に示すように、p 型半導体基板 101 の表層部には、チャネル領域を構成するチャネル層 102 が形成されている。このチャネル層 102 は中性不純物が少ないもので構成されている。そして、このチャネル層 102 の一端にはソースコンタクト用の n⁺ 型領域 103 が形成されており、他端にはドレインコンタクト用の n⁺ 型領域 104 が形成されている。また、チャネル層 102 の上には、ゲート酸化膜 105 を介してゲート電極層 106 が形成されている。

【0057】このように構成された MOSFET は、p 型半導体基板 101 の表層部に形成されたチャネル層 102 をチャネル領域として、p 型半導体基板 101 の横方向へ電流を流すようになっている。このとき、上述したように、チャネル層 102 を中性不純物が少ないもので構成しているため、キャリア移動度を向上させることができる。

【0058】次に、図 7 に示す MOSFET の製造方法について図 8 (a) ~ (c) に基づいて説明する。

〔図 8 (a) に示す工程〕まず、表層部において p 型不純物の量が少なくなっている p 型半導体基板 101 を用意する。この p 型半導体基板 101 は、内部に均等に p 型不純物が含有された半導体基板に対し、上記第 1 実施形態に示した外部拡散工程を行うことで製造できる。この p 型半導体基板 101 は、図 7 に示す MOSFET を製造するのに適している。

【0059】〔図 8 (b) に示す工程〕p 型半導体基板

1 0 1 の表面に酸化膜 1 1 0 を成膜し、フォトリソグラフィ工程を経て、酸化膜 1 1 0 の所定領域を開口させる。そして、酸化膜 1 1 0 をマスクとして、n 型不純物（例えば、N⁺ 等）をイオン注入して、チャネル層 1 0 2 を形成する。

【0 0 6 0】このとき、p 型不純物の量が少なくなった p 型半導体基板 1 0 1 の表層部にチャネル層 1 0 2 を形成しているため、チャネル層 1 0 2 は中性不純物が少ないもので形成される。また、p 型不純物を補償するために必要とされる n 型不純物のイオン注入も少なくすむため、イオン注入による結晶欠陥を少なくすることができる。

【0 0 6 1】〔図 8（c）に示す工程〕酸化膜 1 1 0 を除去したのち、再び p 型半導体基板 1 0 1 の表面に酸化膜 1 1 1 を成膜し、フォトリソグラフィ工程を経て、酸化膜 1 1 1 の所定領域を開口させる。そして、酸化膜 1 1 1 をマスクとして n 型不純物（例えば、N⁺ 等）をイオン注入して、ソースコンタクト用の n⁺ 型層 1 0 3 及びドレインコンタクト用の n⁺ 型層 1 0 4 を形成する。

【0 0 6 2】この後、酸化膜 1 1 1 を除去したのち、ゲート酸化膜 1 0 5、ゲート電極 1 0 6 を順に形成し、さらに図示しないが層間絶縁膜を介してソース電極層及びドレイン電極層を形成する等して、図 7 に示す MOS FET が完成する。このように、電流が横方向に流れる MOS FET 等に本発明の一実施形態を適用することも可能である。

【0 0 6 3】（他の実施形態）上記第 1、第 2 実施形態では、MOS FET を例に挙げて説明したが、この他の形態の FET に本発明を適用することも可能である。例えば、ラテラル型の MES FET に適用することも可能であり、基板に溝を形成し、溝の側面にチャネル領域を形成する溝ゲート型の MOS FET に適用することも可能である。

【0 0 6 4】また、第 1 実施形態では、上記条件（高温、長時間）で熱処理を行っているため、基板表面からの深さに対する p 型不純物の濃度が線形の関係（図 6 参照）となるようになってきているが、上記深さに対して対数関数に従った関係となるようにしてもよく、また誤差関数に従った関係となるようにしてもよい。例えば、対数関係に従った関係にするためには、高温又は長時間の熱処理を行うようにすればよく、誤差関数に従った関係となるようにするためには、第 1 実施形態に示した加熱処理よりも低温かつ短時間の熱処理を行うようにすればよい。但し、上記実施形態のように線形の関係となるようにすることによって、よりキャリア移動度を高くすることができるため、上記条件の熱処理を行うことがより好ましいといえる。

【0 0 6 5】さらに、上記実施形態では、外部拡散用に酸化シリコン膜 3 0 を熱酸化により形成しているが、この他の方法（例えばデポジション）によって形成しても

よい。また、酸化シリコン膜 3 0 に代えて、窒化シリコン膜や窒化アルミニウムを形成しても、外部拡散を行うことができる。

【0 0 6 6】例えば、窒化シリコン膜は、窒素雰囲気中で熱酸化を行うことや、酸素窒素雰囲気中で熱酸化を行うこと、若しくは窒素をドーピングした後に熱酸化を行うことによって形成することができる。なお、窒化シリコン膜は、誘電率が高い絶縁体であり、バンドギャップが高いためパッシベーションとして用いると有効である。

【0 0 6 7】また、外部拡散用の膜を形成しなくても、上記外部拡散を行うことは可能である。例えば、真空雰囲気中で高温の熱処理を行う等によってすることができる。すなわち、不純物の拡散が行われないのは、拡散抵抗が大きくなっているからであり、拡散抵抗が小さくなるような条件下にすることによって、不純物を拡散させることができるため、必ずしも外部拡散用の膜を形成する必要はない。

【0 0 6 8】さらに、上記実施形態では、酸化シリコン膜 3 0 を除去した後、n 型不純物をイオン注入するようにしているが、酸化シリコン膜 3 0 をイオン注入時のマスクとすることも可能である。これにより製造工程の簡略化を図ることも可能である。なお、酸化シリコン膜 3 0 に代えて、窒化シリコン膜等を用いた場合でも同様のことが言える。

【図面の簡単な説明】

【図 1】本発明の一実施形態における縦型パワー MOS FET の断面図である。

【図 2】図 1 に示す縦型パワー MOS FET の製造工程を示す図である。

【図 3】図 2 に続く縦型パワー MOS FET の製造工程を示す図である。

【図 4】図 3 に続く縦型パワー MOS FET の製造工程を示す図である。

【図 5】外部拡散工程を説明するための模式図である。

【図 6】外部拡散工程を行った場合と、行っていない場合を比較した図である。

【図 7】第 2 実施形態にかかわる MOS FET の断面図である。

【図 8】図 7 に示す MOS FET の製造工程を示す図である。

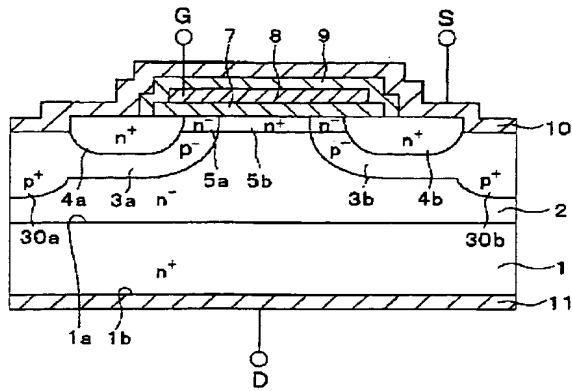
【図 9】本出願人が先に出願した縦型パワー MOS FET の構成を示す断面図である。

【符号の説明】

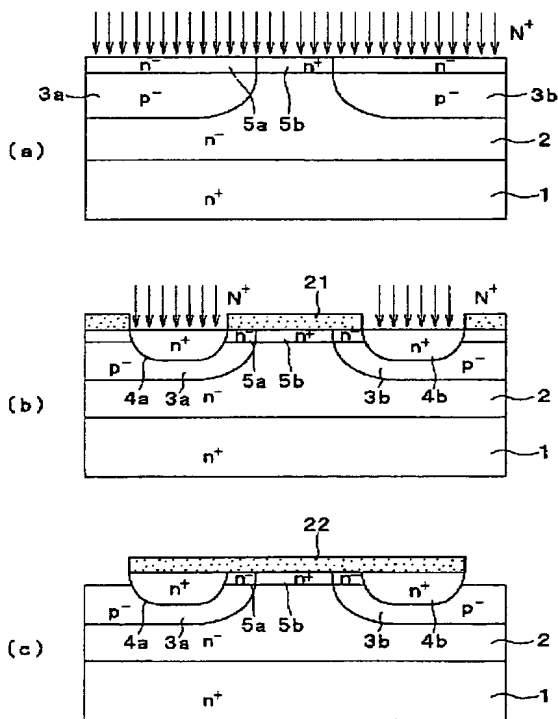
1…n⁺ 型炭化珪素半導体基板、2…n⁺ 型炭化珪素エピタキシャル層、3 a、3 b…p⁺ 型炭化珪素ベース領域、4 a、4 b…n⁺ 型ソース領域、5 a…表面チャネル層（n⁺ 型 Si C 層）、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、1 0…ソース電極、1 1…ドレイン電極層、1 0 1…p 型半導体基板、1 0 2…チャネル

層、103、104... n^+ 型層、105...ゲート絶縁

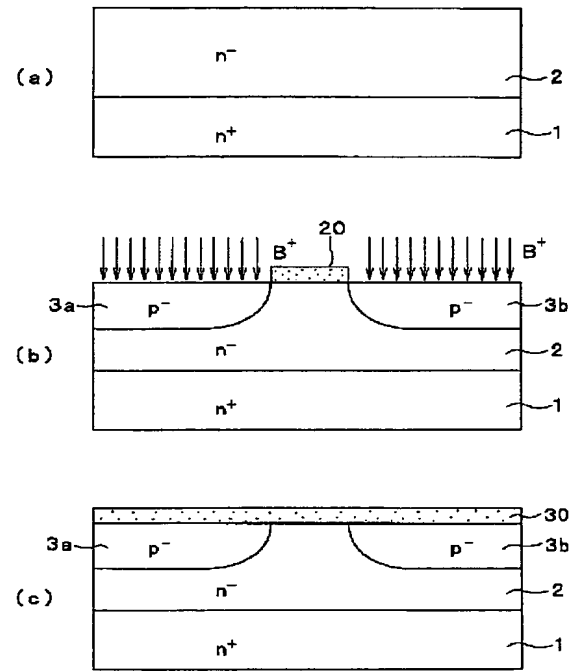
【図1】



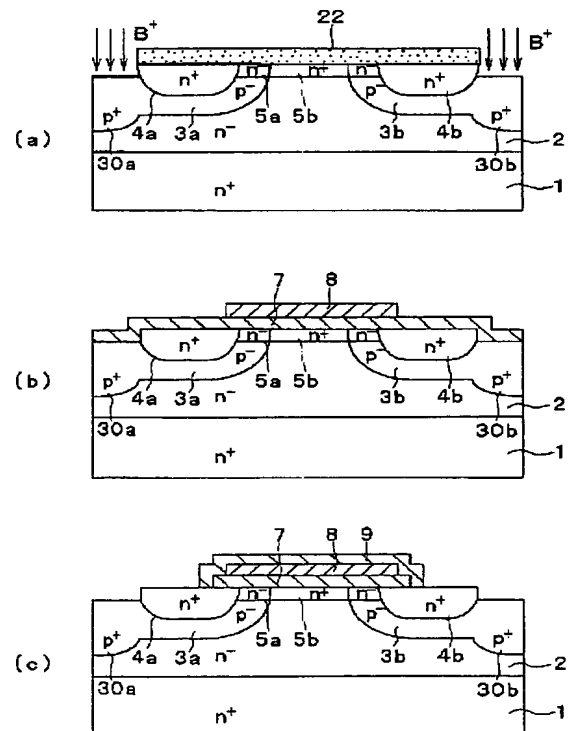
【図3】



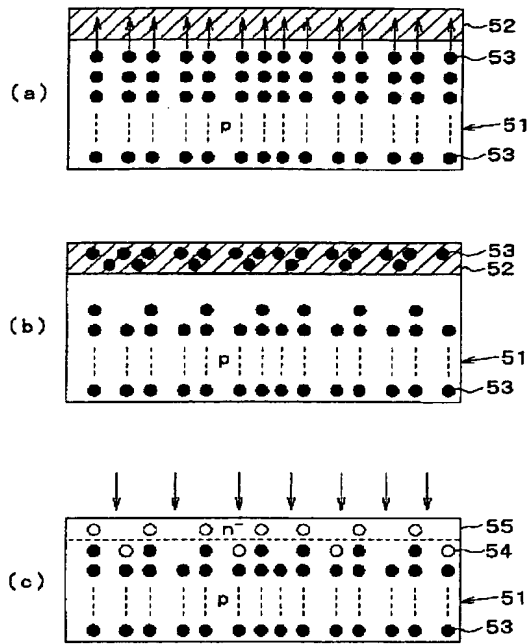
【図2】



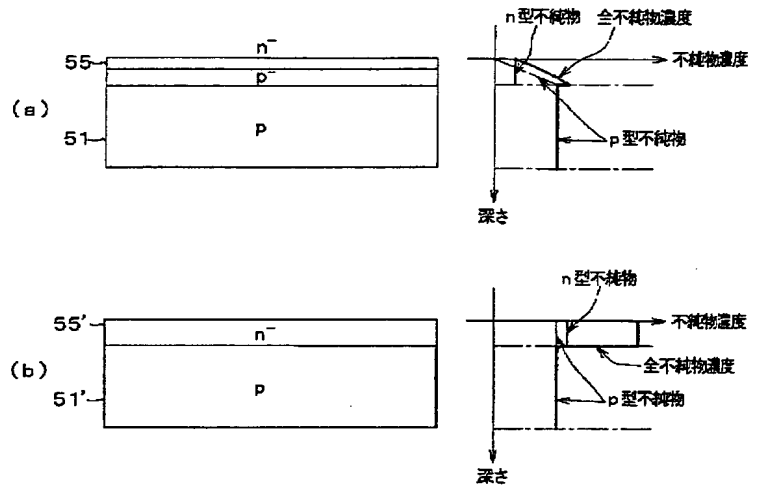
【図4】



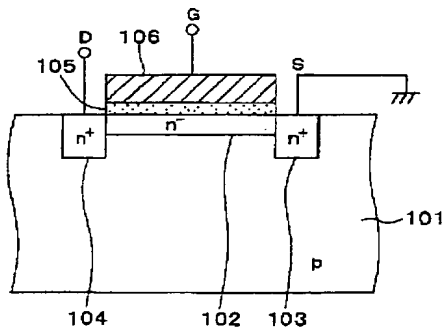
【図 5】



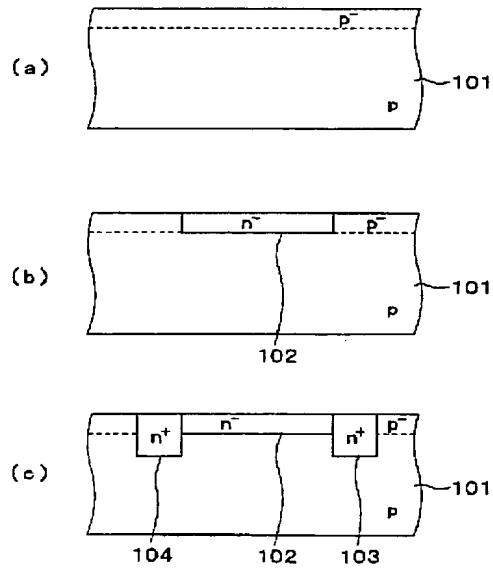
【図 6】



【図 7】



【図 8】



【図 9】

